

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 6 月 23 日 (23.06.2005)

PCT

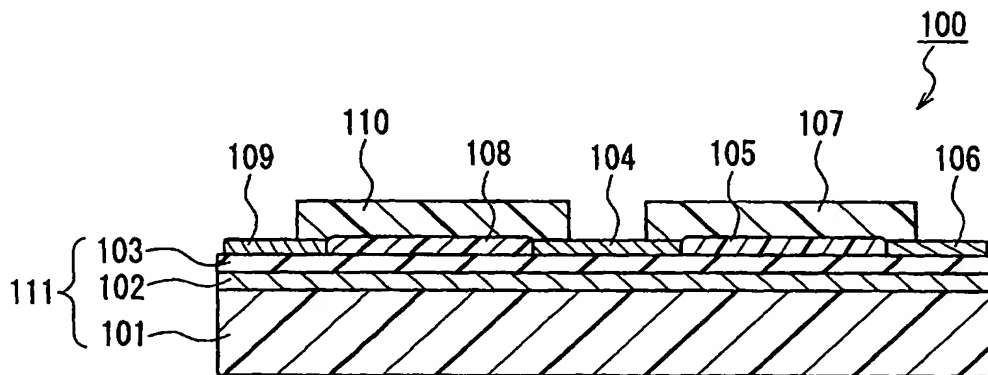
(10) 国際公開番号
WO 2005/057665 A1

- (51) 国際特許分類⁷: H01L 29/786 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/017748 (75) 発明者/出願人(米国についてのみ): 七井識成 (NANAI, Norishige), 竹内孝之 (TAKEUCHI, Takayuki).
(22) 国際出願日: 2004 年 11 月 30 日 (30.11.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2003-409342 2003 年 12 月 8 日 (08.12.2003) JP
(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).
(74) 代理人: 特許業務法人池内・佐藤アンドパートナーズ (IKEUCHI SATO & PARTNER PATENT ATTORNEYS); 〒5306026 大阪府大阪市北区天満橋 1 丁目 8 番 30 号 OAP タワー 26 階 Osaka (JP).
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

[続葉有]

(54) Title: FIELD EFFECT TRANSISTOR, ELECTRICAL DEVICE ARRAY AND METHOD FOR MANUFACTURING THOSE

(54) 発明の名称: 電界効果トランジスタ及び電気素子アレイ、並びにそれらの製造方法



(57) Abstract: Disclosed is a field effect transistor (100) comprising a gate electrode (102) formed on a substrate (101), a gate insulating layer (103) formed on the gate electrode (102), a source electrode (106, 109) and a drain electrode (104) formed on the gate insulating layer (103), a carbon nanotube-containing n-type semiconductor layer (108) so formed between the source electrode (106, 109) and the drain electrode (104) as to be in contact with those electrodes, and an n-type modification polymer layer (110) formed on the n-type semiconductor layer (108) for reversing the polarity of the carbon nanotube from the original p-type to n-type and fixing it. By converting the semiconductor characteristics of the CNT at the same time when the semiconductor protective layer (110) is formed, the manufacturing process can be simple. Consequently, there can be obtained a CNT-FET circuit which is stable in the air.

(57) 要約: 本発明の電界効果トランジスタ(100)は、基板(101)上に形成されたゲート電極(102)と、ゲート電極(102)上に形成されたゲート絶縁層(103)と、ゲート絶縁層(103)上に形成されたソース電極(106,109)およびドレイン電極(104)と、ソース電極(106,109)およびドレイン電極(104)に接触して、それらの間に形成されたカーボンナノチューブを含むn型半導体層(108)と、n型半導体層(108)上に形成されカーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層(110)とを含む。半導体保護層(110)形成と同時にCNTの半導体特性転換を行うことで、工程を簡便なものとする。これにより、空気中でも安定なCNT-FET回路を提供できる。

[続葉有]



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

電界効果トランジスタ及び電気素子アレイ、並びにそれらの製造方法 技術分野

[0001] 本発明は、電界効果トランジスタ(FET)又は薄膜トランジスタ(TFT)に関して、特に、カーボンナノチューブを含んだ半導体層を使用したFET及び電気素子アレイに関する。

背景技術

[0002] 現在、フラットパネルディスプレイ分野で使用されている電界効果トランジスタ(FET)又は薄膜トランジスタ(TFT)は、チャネルとして働く半導体をはさんで分離したソース電極とドレイン電極との間のスイッチングを、ゲート電極にかける電圧によって制御している。現在実用化されているTFTデバイスは、アモルファスシリコン(a-Si)や低温ポリシリコンを半導体とし、酸化シリコンや窒化シリコンをゲート絶縁層として使用している。これらの技術を基盤としたディスプレイなどのデバイスを作製するためには、高温での製造プロセスが多く必要とされている。

[0003] 一方で、フラットパネルディスプレイの技術発展の中、基板の軽量化、機械的柔軟性、耐衝撃性又は省資源に対する要求も出てきている。しかし、基板としてこれらに有用なプラスチック板や樹脂フィルムを、200℃を越える処理温度での製造工程で使用するには制約がある。

[0004] 近年、半導体の性質を示す有機材料を利用する有機半導体電界効果トランジスタ(有機FET)も研究されている。有機材料を用いることで、従来のa-Siや低温ポリシリコンを用いた場合と比較してさらに低温のプロセスで薄膜デバイスを作製することが可能となり、シリコン系を用いたプロセスで必要とされる高コストの設備を準備せずに製造できることが期待される。また、高温工程なしに製造できるようになると、機械的フレキシビリティがあるプラスチック板や樹脂フィルムなどを基板として使用するのも容易となり、シートライクな、又はペーパーライクなディスプレイや携帯機器などの実現可能性もある。

[0005] ペンタセンなどの低分子系有機半導体を用いた有機FETの場合、低温ポリシリコン

系半導体層に比べてチャネルのキャリア移動度が小さく、約 $0.1\sim 3\text{cm}^2/\text{Vs}$ の値が得られている(例えば、非特許文献1)。しかし、結晶粒界が増えたり結晶性が低下したりするとキャリア移動度は小さくなり、TFTとして実用的利用ができなくなる。

[0006] これに対して、炭素から作製された導電性が非常に良好で強靱な性質を有するナノ構造からなるカーボンナノチューブ(CNT)を半導体層に用いたFET(CNT-FET)も報告されている。CNT-FETは、チャネルのキャリア移動度が大きく、約 $1000\sim 1500\text{cm}^2/\text{Vs}$ 程度の値を得ている(例えば、非特許文献5)。CNTのキャリア移動度が大きいという性質を利用して、特許文献1ではCNTをFETに利用することが提案されている。

[0007] CNT-FETは、空気に一旦さらした状態ではp型特性を示すことが知られている。また、真空加熱処理をしたりアルカリ金属処理をしたりすればn型にできるが、酸素や水分と触れるとp型に戻ってしまう(非特許文献2)。しかし、非特許文献3には、ポリエチレンイミンなどのイミン系ポリマーでCNTを処理すると、大気中でも安定なn型CNT-FETを作製できると提案されている。

[0008] CNTをFETの半導体として用いる際には、p型及びn型の双方を同一基板上に作製できると回路設計上都合が良い。非特許文献4には、ひとつの基板上にp型とn型のCNTを配置し論理否定回路(NOTゲート)を作製する2通りの方法が提案されている。非特許文献4に提案されている作製方法のひとつは、CNTを基板上の所定の位置に配置して作製された回路に対し、n型とすべきFETを光リソグラフ樹脂でパターン付け保護した後、 200°C 、10時間真空加熱処理を行い、一旦、すべてのCNT-FETをn型とし、次いで、 10^{-3}Torr の酸素に3分間接触させ、樹脂で保護されていないFETをp型とし、NOTゲートを作製するものである。非特許文献4に提案されている別の作製方法は、CNTを基板上の所定の位置に配置して作製された回路に対し、p型とすべきFETを光リソグラフ樹脂でパターン付け保護した後、カリウムを蒸着して樹脂で保護されていないFETをn型とし、NOTゲートを作製するものである。

特許文献1:特開2003-17503号公報

非特許文献1:C.D.Dimitrakopoulosら,J. Appl. Phys. 80, pp.2501-2508,(1996)

非特許文献2:V.Deryckeら,Appl. Phys. Lett. 80, pp.2773-2775,(2002)

非特許文献3: Moonsub Shimら, J. Am. Chem. Soc. 123, pp.11512-11513, (2001)

非特許文献4: V. Deryckeら, Nano Lett. 1, pp.453-456, (2001)

非特許文献5: S. Rosenblattら, Nano Lett. 2, pp.869-872, (2002)

- [0009] 上述のように、同一基板上にp型とn型のCNT-FETを含んだ回路を作製する際には、非特許文献4で提案されているように光リソグラフなどでのパターン付け保護という複雑な工程に加えて、p型/n型の特性転換という工程が必要となる。さらに、カリウムなどの金属でCNTをn型とする場合には、ソース電極とドレイン電極との間の漏れ電流を小さくするために、カリウムの蒸着量を制御する必要も生じる。また、非特許文献4には述べられていないが、光リソグラフパターン付け保護の後カリウムでn型へ特性変換する場合に、大気からの保護被覆が必要となることは、非特許文献2から明らかである。この様に、同一基板上にp型とn型のCNT-FETを含んだ回路を製造するための従来の方法では、n型CNTを作製するために長時間真空加熱という時間のかかる工程を経るか、カリウムなどの金属を用いた場合に漏れ電流を小さくするための工夫が必要とされ、加えて、パターニング、特性転化、封止という全体を通すと複雑な工程を必要とするなどの課題を有していた。

発明の開示

- [0010] 本発明は、この従来の課題を解決するもので、従来よりも簡便な工程で同一基板上にp型とn型のCNT-FETを含んだ回路を製造でき、空気中でも安定な電界効果トランジスタ及び電気素子アレイを提供する。
- [0011] 本発明の電界効果トランジスタは、基板上に形成されたゲート電極と、前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたソース電極およびドレイン電極と、前記ソース電極およびドレイン電極に接触して、それらの間に形成されたカーボンナノチューブを含むn型半導体層と、前記n型半導体層上に形成された、前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層とを有する。
- [0012] また本願発明の電気素子アレイは、基板と、前記基板上に形成されたn型電界効果トランジスタとp型電界効果トランジスタとを有する電気素子アレイであって、前記n型電界効果トランジスタは、前記基板上に形成されたゲート電極と、前記ゲート電極

上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたソース電極およびドレイン電極と、前記ソース電極およびドレイン電極に接触して、それらの間に形成されたカーボンナノチューブを含むn型半導体層と、前記n型半導体層上に形成された、前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層とを有し、前記p型電界効果トランジスタは、前記基板上に形成されたゲート電極と、前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたソース電極およびドレイン電極と、前記ソース電極およびドレイン電極に接触して、それらの間に形成されたカーボンナノチューブを含むp型半導体層とを有する。

[0013] また本発明の電界効果トランジスタの製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極上にゲート絶縁層を形成する工程と、前記ゲート絶縁層上にソース電極およびドレイン電極を形成する工程と、前記ゲート絶縁層上であって前記ソース電極とドレイン電極との間に、カーボンナノチューブを含む半導体層を形成する工程と、前記半導体層上に前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層をインクジェット法により吐出して形成する工程とを有する。

[0014] また本発明の電気素子アレイの製造方法は、基板上にn型電界効果トランジスタとp型電界効果トランジスタとを有する電気素子アレイの製造方法であって、基板上にゲート電極を形成する工程と、前記ゲート電極上にゲート絶縁層を形成する工程と、前記ゲート絶縁層上にソース電極およびドレイン電極を形成する工程と、前記ゲート絶縁層上であって前記ソース電極とドレイン電極との間に、カーボンナノチューブを含む半導体層を形成する工程と、前記半導体層のうちn型とすべき半導体層上のみ、前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層をインクジェット法により吐出して形成する工程とを有する。

図面の簡単な説明

[0015] [図1A]図1Aは本発明の実施例1における電界効果トランジスタの断面図。

[図1B]図1Bは図1Aで構成される電気回路図。

[図2]図2は本発明の実施例1における電界効果トランジスタの製造工程の概念図。

[図3]図3は本発明の実施例2における電界効果トランジスタの断面図。

[図4]図4は従来例1に示した電界効果トランジスタの製造工程の概念図。

[図5]図5は従来例2に示した電界効果トランジスタの製造工程の概念図。

発明を実施するための最良の形態

- [0016] 本発明の電界効果トランジスタは、基板上に形成されたゲート電極と、前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたソース電極およびドレイン電極と、前記ソース電極およびドレイン電極に接触して、それらの間に形成されたカーボンナノチューブを含むn型半導体層と、前記n型半導体層上に形成された、前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層とを有する。これにより、空気中においてもn型半導体層はp型に反転することがなく、空気中においても安定なトランジスタ特性が得られる。
- [0017] 前記n型改質ポリマーは、イミン系窒素含有ポリマーであることが好ましい。前記イミン系窒素含有ポリマーとしては、ポリアルキレンイミンが好ましい。とくにポリエチレンイミン、ポリプロピレンイミン及びポリブチレンイミンから選ばれる少なくとも一つであることが好ましい。
- [0018] 前記n型半導体層の上に、さらに樹脂保護膜が形成されていてもよい。これにより空気中の湿度の影響を防ぎ耐久性を向上できる。
- [0019] 前記n型改質ポリマーは、インクジェット法によって形成するのが好ましい。溶媒に溶解したポリマーをインクジェット法により塗布することにより、微細な領域に正確に塗布できる。
- [0020] また本願発明の電気素子アレイは、基板と、前記基板上に形成されたn型電界効果トランジスタとp型電界効果トランジスタとを有する電気素子アレイであって、前記n型電界効果トランジスタは、前記基板上に形成されたゲート電極と、前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたソース電極およびドレイン電極と、前記ソース電極およびドレイン電極に接触して、それらの間に形成されたカーボンナノチューブを含むn型半導体層と、前記n型半導体層上に形成された、前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層とを有し、前記p型電界効果トランジスタは、前記基板上に形成

されたゲート電極と、前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたソース電極およびドレイン電極と、前記ソース電極およびドレイン電極に接触して、それらの間に形成されたカーボンナノチューブを含むp型半導体層とを有する。これにより、空気中においてもn型半導体層はp型に反転することがなく、p型半導体層はそのままp型を維持するため、空気中においても安定なトランジスタ特性が得られる。

- [0021] 前記n型改質ポリマーは、イミン系窒素含有ポリマーであることが好ましい。前記イミン系窒素含有ポリマーとしては、ポリアルキレンイミンが好ましい。とくにポリエチレンイミン、ポリプロピレンイミン及びポリブチレンイミンから選ばれる少なくとも一つであることが好ましい。
- [0022] 前記n型半導体層の上に、さらに樹脂保護膜が形成されていてもよい。これにより空気中の湿度の影響を防ぎ耐久性を向上できる。
- [0023] 前記n型改質ポリマーは、インクジェット法によって形成するのが好ましい。溶媒に溶解したポリマーをインクジェット法により塗布することにより、微細な領域に正確に塗布できる。
- [0024] 前記p型半導体層上にはイミン系窒素非含有ポリマーを形成することが好ましい。イミン系窒素非含有ポリマーとしては、例えばポリメチルメタクリレート(PMMA)等のアクリル樹脂、エポキシ樹脂、ポリオレフィン、ポリエステル、ポリカーボネート、ポリスチレン、ポリアクリロニトリル、ポリフッ化ビニリデン、ポリシアン化ビニリデン、ポリビニルアルコールなどや、ゲート絶縁膜に使用可能な樹脂などを用いることができる。また、CNTと電荷移動錯体を形成しCNTをp型にする樹脂でも良い。
- [0025] 前記p型半導体層の上に、さらに樹脂保護膜が形成されていてもよい。これにより空気中の湿度の影響を防ぎ耐久性を向上できる。
- [0026] 前記n型改質ポリマー及びイミン系窒素非含有ポリマーは、インクジェット法によって形成するのが好ましい。溶媒に溶解したポリマーをインクジェット法により塗布することにより、微細な領域に正確に塗布できる。
- [0027] また本発明の電界効果トランジスタの製造方法は、基板上にゲート電極を形成する工程と、前記ゲート電極上にゲート絶縁層を形成する工程と、前記ゲート絶縁層上に

ソース電極およびドレイン電極を形成する工程と、前記ゲート絶縁層上であって前記ソース電極とドレイン電極との間に、カーボンナノチューブを含む半導体層を形成する工程と、前記半導体層上に前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層をインクジェット法により吐出して形成する工程とを有する。これにより、n型のCNT-FETを従来より簡便に精度良く製造でき、空気中でも安定なCNT-FET回路を提供できる。

[0028] また本発明の電気素子アレイの製造方法は、基板上にn型電界効果トランジスタとp型電界効果トランジスタとを有する電気素子アレイの製造方法であって、基板上にゲート電極を形成する工程と、前記ゲート電極上にゲート絶縁層を形成する工程と、前記ゲート絶縁層上にソース電極およびドレイン電極を形成する工程と、前記ゲート絶縁層上であって前記ソース電極とドレイン電極との間に、カーボンナノチューブを含む半導体層を形成する工程と、前記半導体層のうちn型とすべき半導体層上にのみ、前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層をインクジェット法により吐出して形成する工程とを有する。これにより、同一基板上にp型とn型のCNT-FETを含んだ回路を従来より簡便に製造でき、空気中でも安定なCNT-FET回路を提供できる。また、両半導体層を形成するのに高温を必要としないので、樹脂基板を使用することもできる。

[0029] なお、以上に述べた各手段又は構成は、本発明の趣旨を逸脱しない限り、互いに組み合わせることが可能である。

[0030] 以下、本発明の実施例及び比較例について説明する。

[0031] (実施例1)

以下、本発明の実施例1として、一組のn型FETとp型FETとからなるNOTゲイトを含む電気素子アレイを作製する場合を例に図を用いて説明する。図1Aは、本発明の実施例1における電界効果トランジスタで構成した回路例(NOTゲイト)の概念断面図である。図1Bはその回路図である。図1Aにおいて、101は基板であり、102は回路内のp型及びn型FETのゲート電極であり、NOTゲイトの入力となる。ゲート電極102に入力した電圧は、p型半導体層105及びn型半導体層108をスイッチングし、正電源電極106又は負電源電極109のいずれかの電圧を出力電極104に出力す

る。p型半導体層及びn型半導体層はカーボンナノチューブ(CNT)を用いた。ゲート電極102は、他の電極や半導体層とゲート絶縁層103により絶縁されている。p型半導体層105上には、ポリメチルメタクリレートからなるp型半導体保護層107が形成されており、n型半導体層108上には、ポリエチレンイミンからなるn型半導体保護層110が形成されている。

[0032] なお、p型半導体層105を含むp型FETにおいて、そのゲート電極、ソース電極、ドレイン電極は、それぞれゲート電極102、ソース電極106(又は104)、ドレイン電極104(又は106)である。また、n型半導体層108を含むn型FETにおいて、そのゲート電極、ソース電極、ドレイン電極は、それぞれゲート電極102、ソース電極109(又は104)、ドレイン電極104(又は109)である。

[0033] 次に、図1A、BのNOTゲートの製造方法を、図2A～Cとともに説明する。まず、図1Aに示す基板101上にゲート電極102のパターンを形成し、その上にゲート絶縁膜103を形成した。そしてゲート絶縁膜103上に、正電源電極106、負電源電極109、出力電極104のパターンを形成した。ゲート絶縁膜103は、耐電圧が不足しない範囲で薄い方が好ましいが、作製の都合上、本例では100nmの厚さの SiO_2 とした。正・負電源電極と出力電極との間隔は、作製の都合上、本例では1 μm としたが、パターンが作製できるのなら任意に設定できる。また、出力電極の幅は配線の都合上、本例では50 μm としたが、より細くしてもFETは動作する。基板101としては厚さ0.5mmのポリイミドを用いた。ゲート、正電源、負電源の各電極としては、CNTと接触する部分の厚さが薄くなるようにして厚さ0.7～1 μm の金を用いた。

[0034] 次に、CNTを溶剤中に分散したものを、正電源電極106、負電源電極109、出力電極104のパターンが形成された基板の全面に塗布し乾燥した。本実施例では、溶剤としてジクロロメタンを選択したが、CNTが分散できれば他の溶剤も使用できる。また、本実施例では濃度を2質量%としたが、この濃度も電極上にCNTが配置される濃度であれば任意に選択できる。CNTの分散は、超音波洗浄機で5分間超音波をかけることで行った。このようにして、正電源電極106、負電源電極109、出力電極104のそれぞれの間に、半導体(CNT)層105、108を配置した状態とした(図2A)。なお、図2Aにおいて、正電源電極106と出力電極104との間、及び負電源電極10

9と出力電極104との間以外にもCNTが形成されているが省略している。省略されたCNTについては、電極間の距離が大きいと、実質的に半導体層としては作用しない。また、各電極間の配線についても省略している。

[0035] 次に、p型半導体保護剤としてのポリメチルメタクリレート(PMMA;平均分子量4万6千〜9万3千)をトルエンに7質量%溶解したインクと、n型半導体保護剤としてn型改質ポリマーであるポリエチレンイミン(平均分子量1万)をメタノールに6質量%溶解したインクを用意し、インクジェット法を用いてp型半導体保護層404とn型半導体保護層405とを塗り分けた(図2B)。p型半導体保護層404とn型半導体保護層405は、どちらも、直径約20〜40 μm のほぼ円形状であった。このとき、ポリエチレンイミンの一部は半導体(CNT)層に浸透し、n型半導体保護層を形成すると同時に半導体(CNT)層のn型への特性転化も行われる。したがって、特に特性転化のための工程を設ける必要はない。p型半導体保護層とn型半導体保護層とも、乾燥後に6〜8 μm 程度の厚さとなった。また、本実施例では半導体保護剤を位置選択的に塗布する簡便な方法としてインクジェット法を用いたが、他の選択的塗布が可能な方法を用いても同様に作製可能である。本実施例は、半導体保護層形成と同時にCNTの半導体特性転化を行うことで、工程を簡便にできる。最後に、素子全体の保護のための保護層403を設け、CNT-FETで構成された回路を得た(図2C)。保護層403には、パッシベーション膜用光硬化性ポリイミド樹脂(旭化成エレクトロニクス株式会社製商品名“パイメル”)を用い、厚さ30〜100 μm とした。

[0036] 得られたNOTゲイトに対し、正電源電極106に+2.4V、負電源電極109に−2.4Vを印加した。入力電極102に+4Vを印加したところ、出力電極104の電圧は、−1.6Vとなり、また、入力電極に−4Vを印加したところ、出力電極の電圧は+1.6Vと、入出力の極性が反転し、論理否定演算ができた。なお、入力電圧の絶対値に対して出力電圧の絶対値が小さいのは、本実施例のゲート絶縁膜を厚く設定したためである。

[0037] NOTゲイト回路が正負入力に対し正常に動作することから、回路を構成するCNT-FETのp型とn型の双方とも動作していることが分かり、半導体保護層404と405によりp型とn型のCNT-FETを特性づけられたのが分かる。仮に、回路を構成する二

つのCNT-FETの極性が同じ場合、入力のひとつの極性に対しては正常動作するが、逆極性に対しては出力が、ほぼ0Vとなるからである。

[0038] 本実施例1では、NOTゲイトを回路例としたが、同一基板上にp型とn型のCNT-FETを含んだ空気中でも安定な回路を簡便に製造でき、NOTゲイトに限定されるものでなく、論理否定の他に論理和や論理積、それらを組み合わせたのと等価な論理回路のほかに、スイッチング回路としてマトリクス型パネルに組み込んだ表示回路の一部や、情報記録や情報読み出し回路などにも利用できる。本実施例は、単一基板上に多くのFET素子を設置する場合に特に好ましい製造方法であるので、これらの回路を作製する際にとりわけ有効である。

[0039] 本実施例1では、PMMAをp型CNT-FETの半導体保護層として用いたが、このPMMAは極性決定には寄与していないので省略し、保護層403で兼用することも可能である。但し、保護層403を積層する際の機械的・熱的な半導体へのストレスや、素子の使用・保存時の機械的・熱的なストレスから保護するために、極性決定に寄与しなくとも半導体保護層を設け緩衝作用を利用する方が好ましい。

[0040] なお、本実施例では空気中で取り扱われたp型のCNTを用いたのでPMMAをp型CNT-FETの保護層として用いたが、真空加熱処理やアルカリ金属・アルカリ土類金属処理、イミンやイミドなどの含窒素官能基での処理などでn型としたCNTを用いて作製する場合には、PMMAはn型CNT-FETの保護層として用い得るのは、PMMAが極性決定に寄与しないからである。

[0041] なお、本実施例では、PMMAをp型半導体保護層として用いたが、極性決定に寄与しない樹脂であれば同様の効果がある。例えば、ポリカーボネート、ポリスチレン、ポリアクリロニトリル、ポリフッ化ビニリデン、ポリシアン化ビニリデン、ポリビニルアルコールなどや、ゲート絶縁膜に使用可能な樹脂などを用いることができる。また、CNTと電荷移動錯体を形成しCNTをp型にする樹脂でも、p型半導体保護層となる。

[0042] なお、本実施例では、CNTをn型半導体に特性転化する半導体保護層としてポリエチレンイミン $[-(\text{CH}_2-\text{C}(\text{CH}=\text{NH})\text{H})_n-]$ (但し、nは重合度を示す。)を用いたが、他のイミン系樹脂でも使用可能である。イミン系樹脂では、ポリエチレンイミンは大量に生産されているので入手が容易なので好ましいが、例えばポリプロピレンイミン

やポリブチレンイミンなどのポリアルキレンイミンや他のイミン系樹脂も使用できる。

[0043] なお、本実施例では保護層403を設けたが、保護層403は存在しなくてもFET動作が可能である。そのため、回路以外の構成物もある素子内に回路を構成する場合には、保護層403を省略し、素子全体の保護措置で補うのも可能である。素子外部・素子内部からの機械的な作用、素子構成要素間の熱膨張率の差異などの熱的な作用、環境から浸入したり素子構成時に含まれる化学物質による作用などからFETが劣化するのを防ぐために保護層403を設けるのが好ましい。

[0044] なお、本実施例では、基板としてポリイミドを用いたが、ポリエチレンテレフタレートやポリブチレンテレフタレートなどのポリエステルやその他のフレキシブル基板を用いることも可能であるし、ガラスやシリコンなどフレキシブルでないものを基板として用いるのは可能である。本実施例は、素子が形成されれば基板の材質について左右されるものではない。

[0045] なお、本実施例では、電極として金を用いたが、基板との密着性を向上させるためにチタンなど他金属との積層構造とすることも可能であるし、クロムやコバルト、ニッケルなど金以外の金属を電極として用いるのも可能である。また、金属に限らずポリチオフェンやポリピロールなどの導電性高分子やTTF-TCNQなどの電荷移動錯体も用いることも可能である。また、各電極の材質をそれぞれ異なるものとする、半導体と電極との界面接合向上のために別の材料層を設けること、電極の厚さなど、本実施例の主旨を左右するものではない。

[0046] なお、本実施例のCNT-FETは、ゲート絶縁層と、ゲート絶縁層と接触して設けた半導体層と、ゲート絶縁層と接触するが半導体層とは接触しないゲート電極と、半導体層の少なくとも一方の側に接触してゲート電極を挟むようにして設けたソース電極とドレイン電極と、を含む電界効果トランジスタであって、ゲート電極を基板上に設けたボトムゲート型の電界効果トランジスタで説明したが、ゲート電極を半導体層に対し基板とは反対側に設けたトップゲート型の電界効果トランジスタとしても、同様に実施可能であり、電極配置について左右されるものでない。

[0047] (実施例2)

p型半導体層とn型半導体層とそれらの保護層以外は実施例1と同様にした。すな

わち、基板101上にゲート電極102のパターンを形成し、ゲート電極102上にゲート絶縁層103を形成した。そしてゲート絶縁層103上に、出力電極104と正電源電極106と負電源電極109を作成した。その後、図3に示すように、ポリメチルメタクリレート (PMMA; 平均分子量4万6千〜9万3千) をトルエンに1質量%溶解したインクと、ポリエチレンイミン (平均分子量1万) をメタノールに1.5質量%溶解したインクを用意し、インクジェット法を用いてp型半導体接触層112 (PMMA層) とn型半導体接触層113 (ポリエチレンイミン層) とを塗り分けた。これらのポリマーを塗布した後、未乾燥状態のうちにCNTを落下させポリマー内に一部又は全部を押し込み、p型CNT-FET半導体層 (112が該当) と、n型に特性転化したCNT-FET半導体層 (113が該当) を形成した。p型半導体層とn型半導体層はどちらも、直径約20〜40 μm のほぼ円形状であった。このとき、n型半導体層はCNTをポリエチレンイミンに接触させると同時にn型への特性転化も行われるので、特に、特性転化工程を必要としなかった。p型半導体層とn型半導体層とも、乾燥後に0.3〜2 μm の厚さとなった。

[0048] 次に、素子全体の保護のための保護層403を設け、CNT-FETで構成された回路を得た。保護層403には、パッシベーション膜用光硬化性ポリイミド樹脂 (旭化成エレクトロニクス株式会社製商品名“パイメル”) を用い、厚さ30〜100 μm とした。

[0049] 得られた電界効果トランジスタ100は実施例1と同様に正常な動作を示した。

[0050] (比較例1)

以下、比較例として従来の作製方法を図4A〜Cに従って説明する。この方法は、非特許文献4に提案の方法に基づいている。

[0051] 実施例1と同様にして基板上にゲート電極、ゲート絶縁体、半導体 (CNT) 層201を設けた状態とした (図4A)。次に、CNT201上にレジスト剤としてPMMAを塗布し、露光・硬化・除去し、ドーパント対策用保護マスク202を設けた (図4B)。なお、保護マスク202はn型とするCNT-FETに対して設置した。続いて真空中で200℃、10時間放置し、すべてのCNTをp型からn型に特性転化させた。さらに、真空から空気中に出し、ドーパント対策用保護マスク202で保護されていないCNTをn型からp型へ特性転化させた。この場合のドーパントは、空気中の酸素が相当する。

[0052] 次に、p型とn型のCNT-FETが配置された回路を得た後、保護層203を設けた (

図4C)。

[0053] このように、比較例1は実施例1〜2と比較して特性転化を2度行うために工程数が多くなった。実施例1〜2においては、保護マスクを作製する工程で特性転化も同時に行われることに対して、比較例1のn型へ転化する工程は、比較的時間がかかる。これらの点から、実施例1〜2の方が、同一基板上にp型とn型のCNT-FETを含んだ回路を比較例1よりも簡便に製造できることがわかる。

[0054] (比較例2)

以下、比較例2として比較例1と異なる従来の作製方法を図5A〜Cに従って説明する。この方法は、非特許文献4に提案の方法に基づいている。

[0055] 実施例1と同様にして基板上に電極、絶縁体、半導体(CNT)301を設けた状態とした(図5A)。次に、CNT301上にレジスト剤としてPMMAを塗布し、露光・硬化・除去し、ドーパント対策用保護マスク302を設けた(図5B)。なお、保護マスク302は比較例1と異なり、p型とするCNT-FETに対して設置した。つづいて、真空中でカリウムを蒸着しp型からn型に特性転化した。ここで、保護マスク302が設けてあるFETについては、p型のまま特性が維持された。なお、本比較例では非特許文献4にしたがってカリウムをドーパントとして用いたが、他のアルカリ金属やカルシウムなどを使用しても同様である。なお、ドーパントである金属を多量に蒸着すると、ドーパント金属に電流が流れてCNT-FETのOFF電流が大きくなってしまう原因となる。そのため、ドーパントの蒸着量を最小限としなければならない。

[0056] 以上のようにして、p型とn型のCNT-FETが配置された回路を得た後、保護層303を設けた(図5C)。このように、比較例2は比較例1よりも特性転化工程を短縮できるが、実施例1〜2と比較すると特性転化を行うために工程数が多い。実施例1〜2においては、保護マスクを作製する工程で特性転化も同時に行われるからである。また比較例2のn型へ転化する工程では、アルカリ金属やカルシウムなど空気中で取り扱いえない化合物を用いるが、実施例1〜2で用いる化合物は、空気中でも取り扱える。これらの点から、実施例1〜2の方が、同一基板上にp型とn型のCNT-FETを含んだ回路を比較例2よりも簡便に製造できることがわかる。

[0057] [産業上の利用可能性]

本発明は、種々の電子機器に応用でき、スイッチング素子や駆動回路や制御回路などを使用したペーパーライク又はシート状などのディスプレイ、半導体回路装置を使用した携帯機器、無線ICタグなどの使い捨て機器、記録機器又は他の電子機器、その他の産業分野に利用することができ、その産業上の利用可能性は非常に広く且つ大きい。

請求の範囲

- [1] 基板上に形成されたゲート電極と、
前記ゲート電極上に形成されたゲート絶縁層と、
前記ゲート絶縁層上に形成されたソース電極およびドレイン電極と、
前記ソース電極およびドレイン電極に接触して、それらの間に形成されたカーボンナノチューブを含むn型半導体層と、
前記n型半導体層上に形成された、前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層と、
を含む電界効果トランジスタ。
- [2] 前記n型改質ポリマーは、イミン系窒素含有ポリマーである請求項1に記載の電界効果トランジスタ。
- [3] 前記イミン系窒素含有ポリマーは、ポリアルキレンイミンである請求項2に記載の電界効果トランジスタ。
- [4] 前記ポリアルキレンイミンは、ポリエチレンイミン、ポリプロピレンイミン及びポリブチレンイミンから選ばれる少なくとも一つである請求項3に記載の電界効果トランジスタ。
- [5] 前記n型改質ポリマー層上に、さらに樹脂保護膜が形成されている請求項1に記載の電界効果トランジスタ。
- [6] 前記n型改質ポリマーは、インクジェット法によって形成されている請求項1に記載の電界効果トランジスタ。
- [7] 基板と、前記基板上に形成されたn型電界効果トランジスタとp型電界効果トランジスタとを有する電気素子アレイであって、
前記n型電界効果トランジスタは、前記基板上に形成されたゲート電極と、前記ゲート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたソース電極およびドレイン電極と、前記ソース電極およびドレイン電極に接触して、それらの間に形成されたカーボンナノチューブを含むn型半導体層と、前記n型半導体層上に形成された、前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層とを有し、
前記p型電界効果トランジスタは、前記基板上に形成されたゲート電極と、前記ゲ

ート電極上に形成されたゲート絶縁層と、前記ゲート絶縁層上に形成されたソース電極およびドレイン電極と、前記ソース電極およびドレイン電極に接触して、それらの間に形成されたカーボンナノチューブを含むp型半導体層とを有する電気素子アレイ。

- [8] 前記n型改質ポリマーは、イミン系窒素含有ポリマーである請求項7に記載の電界効果トランジスタ。
- [9] 前記イミン系窒素含有ポリマーは、ポリアルキレンイミンである請求項8に記載の電界効果トランジスタ。
- [10] 前記ポリアルキレンイミンは、ポリエチレンイミン、ポリプロピレンイミン及びポリブチレンイミンから選ばれる少なくとも一つである請求項9に記載の電界効果トランジスタ。
- [11] 前記n型改質ポリマー層上に、さらに樹脂保護膜が形成されている請求項7に記載の電界効果トランジスタ。
- [12] 前記n型改質ポリマーは、インクジェット法によって形成されている請求項7に記載の電界効果トランジスタ。
- [13] 前記p型半導体層上に、イミン系窒素非含有ポリマーよりなる保護層が形成されている請求項7に記載の電気素子アレイ。
- [14] 前記イミン系窒素非含有ポリマーは、アクリル樹脂、エポキシ樹脂、ポリオレフィン、ポリエステル、ポリカーボネート、ポリスチレン、ポリアクリロニトリル、ポリフッ化ビニリデン、ポリシアン化ビニリデン、ポリビニルアルコールから選ばれる少なくとも一つである請求項13に記載の電気素子アレイ。
- [15] 前記n型改質ポリマー及び前記イミン系窒素非含有ポリマーは、インクジェット法によって形成されている請求項13に記載の電気素子アレイ。
- [16] 基板上にゲート電極を形成する工程と、
前記ゲート電極上にゲート絶縁層を形成する工程と、
前記ゲート絶縁層上にソース電極およびドレイン電極を形成する工程と、
前記ゲート絶縁層上であって前記ソース電極とドレイン電極との間に、カーボンナノチューブを含む半導体層を形成する工程と、
前記半導体層上に前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層をインクジェット法により吐出して形成する工

程と、

を含む電界効果トランジスタの製造方法。

[17] 前記n型改質ポリマーは、イミン系窒素含有ポリマーである請求項16に記載の電界効果トランジスタの製造方法。

[18] 前記イミン系窒素含有ポリマーは、ポリアルキレンイミンである請求項17に記載の電界効果トランジスタの製造方法。

[19] 前記ポリアルキレンイミンは、ポリエチレンイミン、ポリプロピレンイミン及びポリブチレンイミンから選ばれる少なくとも一つである請求項18に記載の電界効果トランジスタの製造方法。

[20] 基板上にn型電界効果トランジスタとp型電界効果トランジスタとを有する電気素子アレイの製造方法であって、

基板上にゲート電極を形成する工程と、

前記ゲート電極上にゲート絶縁層を形成する工程と、

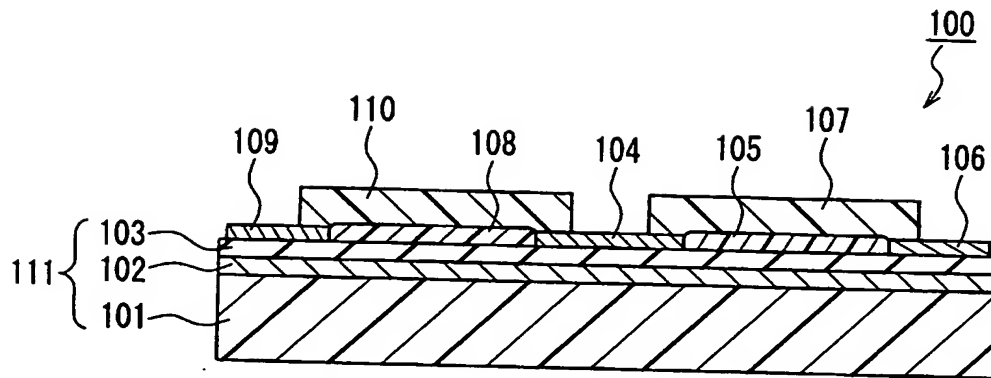
前記ゲート絶縁層上にソース電極およびドレイン電極を形成する工程と、

前記ゲート絶縁層上であって前記ソース電極とドレイン電極との間に、カーボンナノチューブを含む半導体層を形成する工程と、

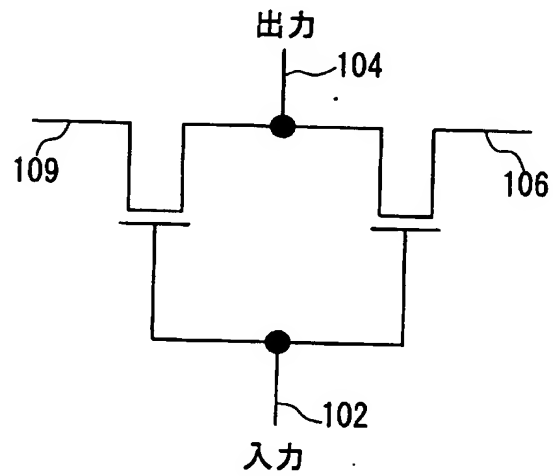
前記半導体層のうちn型とすべき半導体層上にのみ、前記カーボンナノチューブが本来有するp型をn型に極性転換して固定するためのn型改質ポリマー層をインクジェット法により吐出して形成する工程と、

を含む電気素子アレイの製造方法。

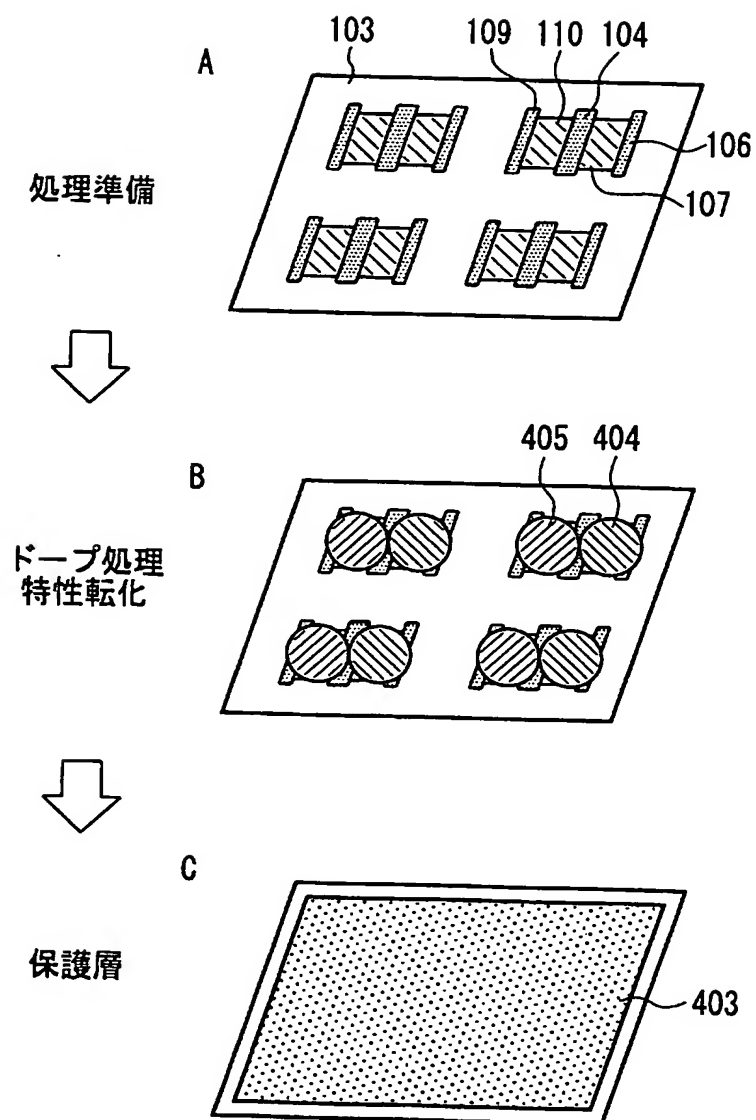
[図1A]



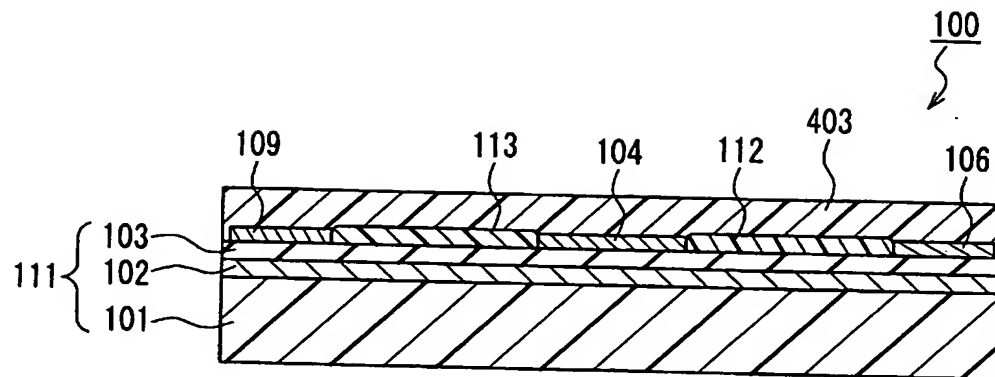
[図1B]



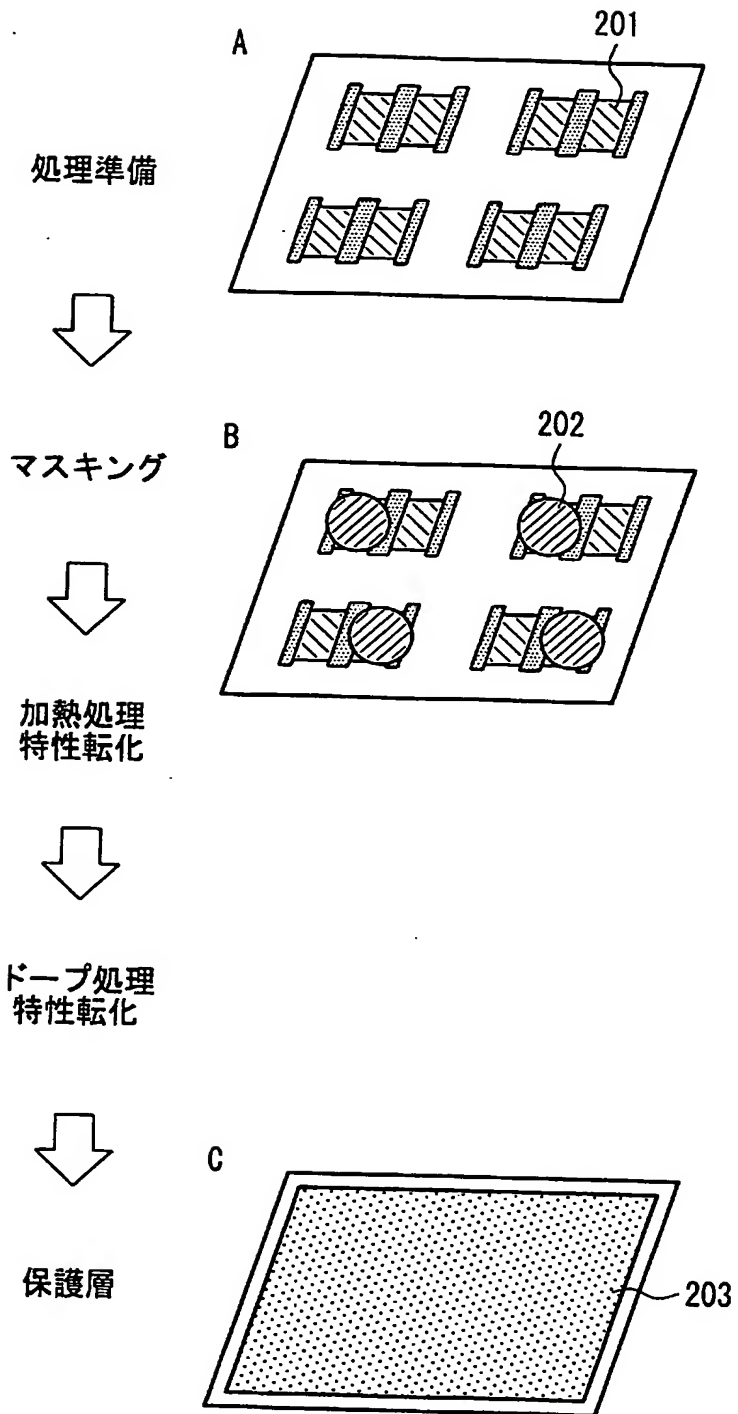
[図2]



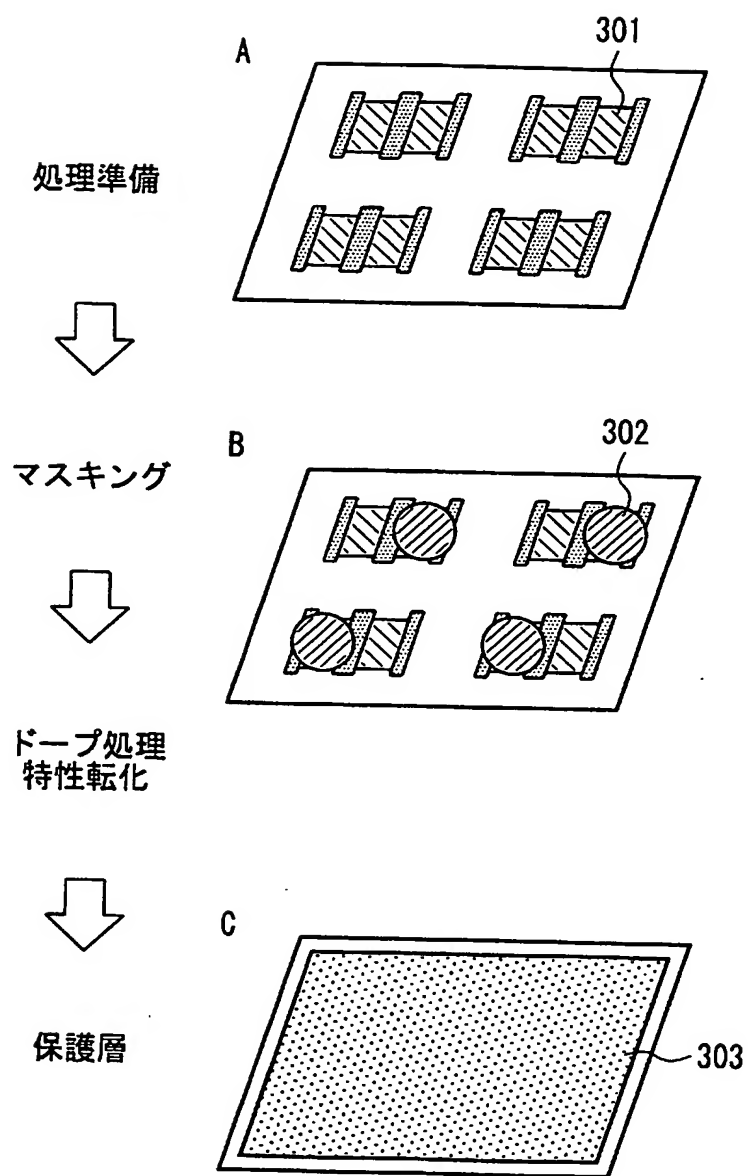
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017748

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/786, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-258164 A (Fuji Xerox Co., Ltd.), 12 September, 2003 (12.09.03), Par. Nos. [0022] to [0070] (Family: none)	1-20
A	JP 2003-338629 A (Konica Minolta Holdings Kabushiki Kaisha), 28 November, 2003 (28.11.03), Par. Nos. [0020] to [0026] (Family: none)	1-20
A	JP 08-264863 A (AT & T Corp.), 11 October, 1996 (11.10.96), Par. Nos. [0005] to [0031] & US 5693977 A & EP 0732757 A2	1-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 March, 2005 (02.03.05)

Date of mailing of the international search report
15 March, 2005 (15.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H01L29/786

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H01L29/786, H01L29/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国実用新案登録公報 1996-2005年
 日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2003-258164 A (富士ゼロックス株式会社), 2003. 09. 12, 【0022】-【0070】段落 (ファミリーなし)	1-20
A	J P 2003-338629 A (コニカミノルタホールディング ス株式会社), 2003. 11. 28, 【0020】-【002 6】段落 (ファミリーなし)	1-20

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

02. 03. 2005

国際調査報告の発送日

15. 3. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4 L

9361

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 08-264863 A (エイ・ティ・アンド・ティ・コーポレーション), 1996. 10. 11, 【0005】-【0031】段落 & US 5693977 A & EP 0732757 A2	1-20